

⑫公開特許公報(A) 昭61-223791

⑬Int. Cl.⁴

G 09 G 3/36
G 02 F 1/133
G 09 F 9/30

識別記号

118

庁内整理番号

7436-5C
D-8205-2H
6810-5C

⑭公開 昭和61年(1986)10月4日

審査請求 未請求 発明の数 1 (全5頁)

⑮発明の名称 アクティブマトリックス基板

⑯特 願 昭60-63401

⑰出 願 昭60(1985)3月29日

⑱発 明 者 宮 田 豊 門真市大字門真1006番地: 松下電器産業株式会社内
⑱発 明 者 近 村 隆 夫 門真市大字門真1006番地: 松下電器産業株式会社内
⑱発 明 者 永 田 清 一 門真市大字門真1006番地: 松下電器産業株式会社内
⑲出 願 人 松下電器産業株式会社 門真市大字門真1006番地
⑲代 理 人 弁理士 星野 恒 司

明 細 書

1. 発明の名称 アクティブマトリックス基板

2. 特許請求の範囲

(1) 映像表示領域に配設された透明電極からなる複数の映像表示手段と、前記映像表示手段をドレインに接続させて、透光性基板上に形成した複数の第1の薄膜トランジスタと、前記第1の薄膜トランジスタを駆動するための信号が入力するソース配線部及びゲート配線部と、前記ソース配線部の各線にドレインをそれぞれ接続した複数の第2の薄膜トランジスタと、前記複数の第2の薄膜トランジスタのソースに接続した線を複数本毎に束ねてなる複数の映像信号入力配線と、前記複数の第2の薄膜トランジスタのゲートに接続した複数の信号切換用ゲート配線とが具備されていることを特徴とするアクティブマトリックス基板。

(2) 前記第2の薄膜トランジスタは、前記映像表示領域のいずれか一辺で、前記映像信号入力配線と前記ソース配線部とに接続されることを特

徴とする特許請求の範囲第(1)項記載のアクティブマトリックス基板。

(3) 前記第2の薄膜トランジスタは、前記映像表示領域のいずれか二辺で、前記映像信号入力配線と前記ソース配線部とに接続されることを特徴とする特許請求の範囲第(1)項記載のアクティブマトリックス基板。

(4) 前記第1及び第2の薄膜トランジスタは、多結晶シリコン或いは非晶化非晶質シリコンを構成要素として含むことを特徴とする特許請求の範囲第(1)項記載のアクティブマトリックス基板。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、透光性基板上に薄膜トランジスタをマトリクス状に形成したアクティブマトリックス基板に関するものであり、液晶を用いた表示装置等に用いられるものである。

(従来の技術)

近年、透光性基板上に薄膜トランジスタを用いたアクティブマトリックス基板の開発が活発である。

言うまでもなく、これ等のアクティブマトリックス基板は液晶等を用いた表示装置を目的としたものであるが、将来には、大型の一次元或いは二次元イメージセンサ等の可能性もあり、広い応用が考えられる。

第4図は、薄膜トランジスタを用いた従来のアクティブマトリックス基板の回路構成を示すもので、1は多結晶シリコン或いは非晶質シリコンをその一構成要素とする透光性基板(図示しない)上に形成した薄膜トランジスタ、2は薄膜トランジスタ1のドレインに電気的に接続した透明電極と、カラーフィルタを形成する透光性基板上の透明な対向電極との間に液晶を注入した液晶表示体で、この液晶表示体2は映像表示領域3の各画素と対応する位置に配設されており、液晶による容量以外に、補助容量としてアクティブマトリックス基板に形成される容量が付加されることもある。4は薄膜トランジスタ1のゲートに接続したゲート配線、5は薄膜トランジスタ1のソースに接続したソース配線である。

しかしながら、前者のフレキシブルプリント基板によるゲート配線4及びソース配線5との直接接続は、液晶表示装置の解像度を向上させるために画素数を増加させた場合には、配線間のピッチが小さくなるので、実装が非常に困難となる問題があった。又、後者のシフトレジスタを用いる場合には、映像表示領域3の外周部にシフトレジスタを設けなければならないので、歩留りが低下すると共に、特に、水平操作のためには、高い移動度を有する半導体材料を用いる必要があるので、薄膜トランジスタを形成する材料が限定されるといふ問題があった。

本発明は、前述のような問題に起因してなされたもので、歩留りが大幅に向上し、且つ、製造原価が安くなるアクティブマトリックス基板を提供することを目的とするものである。

(問題を解決するための手段)

本発明は、映像表示領域に配設された薄膜トランジスタのソース配線に映像信号を印加するソース配線を数本1組にして接続するものである。

このように構成された従来例では、ゲート配線4から1つのゲートラインを選択すると、ソース配線5を通して薄膜トランジスタ1のドレインと電気的に接続される透明電極に所定の電位が与えられる。このとき、透明電極と対向電極との間に注入されている液晶の光変色性が変化して、2枚の偏光板により光透過率が変化するもので、以下、同様にして、ゲート配線4から1つのゲートラインを順次選択していくことにより、1フィールドの画面が形成される。

(発明が解決しようとする問題点)

ところで、アクティブマトリックス基板と外部駆動回路との接続は、フレキシブルプリント基板によって各ゲート配線4及びソース配線5と直接接続する(例えば、特開昭52-116185号参照)か、或いは、映像表示領域外にシフトレジスタを設けて、このシフトレジスタでゲート配線4若しくはソース配線5を選択して、外部回路との接続本数を少なくする方法とされる(例えば、特開昭58-218585号参照)。

(作用)

映像表示領域に配設した薄膜トランジスタのゲート配線に印加する信号と、ソース配線に直列に接続した薄膜トランジスタの信号切換用ゲート配線に印加する信号とを制御することにより、映像表示領域に配設した薄膜トランジスタに映像信号を印加する可以选择できる。

(実施例)

以下図面により、本発明の実施例を詳細に説明する。

第1図は、本発明の一実施例におけるアクティブマトリックス基板の回路図であり、6は、コニング社#7059、石英等の透光性基板(図示しない)上に形成した半導体薄膜(図示しない)、ゲート絶縁膜(図示しない)、ゲート配線7及びソース配線8からなる薄膜トランジスタ、9は薄膜トランジスタ6のドレインに接続した液晶表示体で、薄膜トランジスタ6と液晶表示体9とは、それぞれ、映像表示領域10の各画素と対応する位置にマトリックス状に配設されており、而も、マトリッ

クス状に配設された各薄膜トランジスタ6のゲートはゲート配線7によって行毎に並列接続され、ソースはソース配線8によって列毎に並列接続されている。尚、半導体薄膜には、プラズマCVD法によって形成した水酸化非晶質Si、若しくは、減圧CVD法或いは電子ビーム蒸着法によって形成した多結晶Siを用い、又、ゲート絶縁膜には、プラズマCVD法によって形成した SiN_x 、 SiO_x 、CVD法によって形成した SiO_2 、若しくは、半導体層の熱酸化膜を用い、更に、ゲート配線7及びソース配線8には、DCスパッタリング法によって形成したMo、W、Cr或いはAl等の金属材料或いは MoSi_2 等の金属硅化物、減圧CVD法によって形成した多結晶Si、若しくは、DCスパッタリング法或いはRFスパッタリング法によって形成した SnO_2 、 In_2O_3 或いは $\text{In}_2\text{O}_3(\text{SnO}_2)$ 等の透明電極材料を用いればよく、ゲート配線7及びソース配線8の配線用材料は多層で用いてもよい。11は、それぞれ、映像表示領域10の外側において各ソース配線8に直列に

接続した薄膜トランジスタ12は隣接する3つの薄膜トランジスタ11のソースを並列に接続した複数の映像信号入力配線13は3つ目毎の薄膜トランジスタ11のゲートを順次並列に接続した複数の信号切換用ゲート配線である。

このように構成された本実施例の動作を、各配線に印加する駆動パルス及び信号電圧を示した第2図を参照しながら、説明する。

先ず、時間 t_1 では、パルス信号 ϕ_{a1} がゲート配線7の7_aを介して各薄膜トランジスタ6のゲートに印加されると同時に、パルス信号 ϕ_a が信号切換用ゲート配線13の13aを介して薄膜トランジスタ11aのゲートに印加されるので、映像信号入力配線12を介して各薄膜トランジスタ11のソースに印加されているパルス信号 V_a が、薄膜トランジスタ11a及びソース配線8aを介して薄膜トランジスタ6a₁のソースに印加されて、薄膜トランジスタ6a₁のドレイン電圧は所定の設定電圧となる。

又、時間 t_2 では、パルス信号 ϕ_{a1} がゲート配

線7の7_aを介して各薄膜トランジスタ6のゲートに印加されている状態で、パルス信号 ϕ_a が信号切換用ゲート配線13の13bを介して薄膜トランジスタ11bのゲートに印加されるので、映像信号入力配線12を介して各薄膜トランジスタ11のソースに印加されているパルス信号 V_a が、薄膜トランジスタ11b及びソース配線8bを介して薄膜トランジスタ6b₁のソースに印加されて、薄膜トランジスタ6b₁のドレイン電圧が所定の設定電圧となる。

更に、時間 t_3 では、パルス信号 ϕ_{a1} がゲート配線7の7_aを介して各薄膜トランジスタ6のゲートに印加されている状態で、パルス信号 ϕ_a が信号切換用ゲート配線13の13cを介して薄膜トランジスタ11cのゲートに印加されるので、映像信号入力配線12を介して各薄膜トランジスタ11のソースに印加されているパルス信号 V_a が、薄膜トランジスタ11c及びソース配線8cを介して薄膜トランジスタ6c₁のソースに印加されて、薄膜トランジスタ6c₁のドレイン電圧が所定の設定電圧と

なり、第1の水平操作ラインの表示が終了する。

次に、時間 t_4 では、パルス信号 ϕ_{a1} がゲート配線7の7_aを介して各薄膜トランジスタ6のゲートに印加されるが、パルス信号 ϕ_a 、 ϕ_b 及び ϕ_c が、前述の如く、信号切換用ゲート配線13の13a、13b及び13cを介して薄膜トランジスタ11a、11b及び11cのゲートに順次印加されるので、映像信号入力配線12を介して各薄膜トランジスタ11のソースに印加されているパルス信号 V_a が、時間 t_4 、 t_5 及び t_6 において、時間 t_4 、 t_5 及び t_6 と同様に、薄膜トランジスタ6a₁、6b₁及び6c₁のソースに順次印加されて、薄膜トランジスタ6a₁、6b₁及び6c₁のドレイン電圧が順次所定の設定電圧になり、第2の水平操作ラインの表示が終了する。

以下、前述の如き動作が順次繰り返して行なわれて、第nの水平操作ラインの薄膜トランジスタ6a_n、6b_n及び6c_nのドレイン電圧が順次所定の設定電圧になれば、1画面分の走査が完了し、信号表示のため各画素が選択されて、画像表示が可

施となる。

第3図は、本発明の他の実施例の構成を示したもので、第1図の符号と同一符号のものは同一部分を示しているが、前述の実施例においては、映像信号入力配線12の全ての端子 V_{s1} 、 V_{s2} 、 V_{s3} 、 V_{s4} 、 V_{s5} 、 V_{s6} 、 V_{s7} 、 V_{s8} 、 V_{s9} 、 V_{s10} 、 V_{s11} 、 V_{s12} を、映像表示領域10の上部にまとめて設けたが、本実施例においては、例えば、映像信号入力配線12の奇数番目の端子 V_{s1} 、 V_{s3} 、 V_{s5} 、 V_{s7} 、 V_{s9} 、 V_{s11} を映像表示領域10の上部に設け、又、映像信号入力配線12の偶数番目の端子 V_{s2} 、 V_{s4} 、 V_{s6} 、 V_{s8} 、 V_{s10} 、 V_{s12} を映像表示領域10の下部に設けたものであり、本実施例のアクティブマトリクス基板の動作は、第1の実施例と全く同様である。

尚、実施例において、表示手段に液晶を用いた例で説明したが、本発明における表示手段は何も液晶に限定されるものではなく、ELを用いた表示手段にも使用でき、又、PLZTを用いた光シャッタにも使用することができる。更に、液晶の代りに設けた光導電膜のソース配線に印加する電圧を一定として、ソース配線を流れる電流の変化

を検出するようにすれば、撮像素子にも応用することができる。

(発明の効果)

以上説明したように、本発明によれば、アクティブマトリクス基板を用いた液晶表示装置又は他の材料を用いた表示装置において、解像度を向上させるために画素数が増加しても、複雑なシフトレジスタを形成する必要がなくなるので、フレキシブルプリント基板による実装が容易できるようになると共に、外部回路との接続本数が1/3以下になって、配線ピッチが従来の3〜6倍以上になるので、大幅な歩留りの向上と、製造原価の低減を図ることができる効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例におけるアクティブマトリクス基板の回路図、第2図は本発明の一実施例におけるアクティブマトリクス基板の駆動方法を説明するためのタイミングチャート、第3図は本発明の他の実施例におけるアクティブマトリクス基板の回路図、第4図は従来のアク

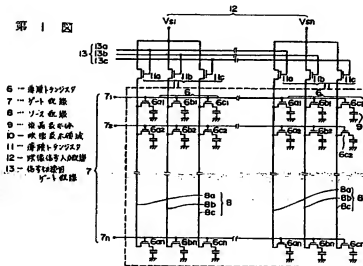
ティブマトリクス基板の回路図である。

- 6, 11 … 第1の導通トランジスタ、7 … ゲート配線、8 … ソース配線、9 … 映像表示手段(液晶表示体)、10 … 映像表示領域、12 … 映像信号入力配線、13 … 信号切換用ゲート配線。

特許出願人 松下電器産業株式会社

代理人 星野 恒 一

第1図





61-223791

(Embodiments)

Hereinafter, embodiments of the present invention will be described with reference to the drawings.

Fig. 1 is a circuit diagram of an active matrix substrate according to an embodiment of the present invention. Reference numeral 6 designates a thin film transistor, which comprises a semiconductor thin film (not shown) formed on a light-transmissive substrate (not shown) of quartz #7059 manufactured by Corning Incorporated, or the like, a gate insulation film (not shown), a gate wiring 7, and a source wiring 8. Reference numeral 9 designates a liquid crystal display member connected to the drain of the thin film transistor 6. The thin film transistors 6 and the liquid crystal display members 9 are arranged in the positions corresponding to the respective pixels in an image display region 10, that is, in a matrix pattern. The gates of the thin film transistors 6 arranged in a matrix pattern are connected to each other via the gate wirings 7 in such a manner that the lines each comprising the gates are arranged in parallel to each other. The sources are connected to each other via the source wirings 8 in such a manner that the columns each comprising the sources are arranged in parallel to each other. The semiconductor thin films are

made of hydrogenated amorphous Si formed by a plasma CVD method, or polycrystalline Si formed by a reduced pressure CVD method or an electron beam deposition method. The gate insulation films are made of Si_3N_4 or SiO_2 formed by a plasma CVD method, SiO_2 formed by a CVD method, or heatoxide films made from semiconductor layers. The gate wirings 7 and the source wirings 8 may be made of metallic material such as Mo, W, Cr, Al, or the like formed by a DC sputtering method, a metal silicide such as MoSi_2 or the like, polycrystalline Si formed by a reduced pressure CVD method, or a transparent electrode material such as SnO , InO_3 , $\text{In}_2\text{O}_3(\text{SnO}_2)$ or the like formed by a DC sputtering method or a RF sputtering method. Wire materials for the gatewirings 7 and the source wirings 8 may have a multilayer structure. Reference numeral 11 designates thin film transistors, which are connected in series with the source wirings 8, respectively, on the outer side of the image display region 10. Reference numeral 12 designates a plurality of image signal input wirings each of which connects the sources of three adjacent thin film transistors 11 in parallel to each other. Reference numeral 13 designates a plurality of signalswitching gate wirings each of which connects the gates of the thin film transistors 11 every three gates, sequentially and in parallel to each other.

The operation of this embodiment having the above

described configuration will be explained with reference to Fig. 2 illustrating driving pulses and signal voltages which are applied to the respective wirings.

First, at time t_1 , a pulse signal ϕ_{G2} is applied to the gate of each thin film transistor 6 via the 7 of the gate wirings 7, and at the same time, a pulse signal ϕ_A is applied to the gate of each thin film transistor 11a via the 13a of the signal switching gate wirings 13. Accordingly, pulse signals V_i applied to the sources of the respective thin film transistors 11 via the image signal input wirings 12 are applied to the sources of the thin film transistors 6a₁ via the thin film transistors 11a and the source wirings 8a. Thus, the drain voltages of the thin film transistors 6a₁ become a predetermined set voltage.

At time t_2 , in the state that pulse signals ϕ_{G1} are applied to the gates of the respective thin film transistors 6 via the 7 of the gate wirings 7, pulse signals ϕ_B are applied to the gates of the thin film transistors 11b via the 13b' of the signal switching gate wirings 13. Accordingly, the pulse signals V_j applied to the sources of the thin film transistors 11 via the image signal input wirings 12 are applied to the sources of the thin film transistors 6b₁ via the thin film transistors 11b and the source wirings 8b. Thus, the drain voltages of the thin film transistors 6b₁ become a predetermined set voltage.

Moreover, at time t_3 , in the state that the pulse signals φ_{G1} are applied to the gates of the respective thin film transistors 6 via the 7 of the gate wirings 7, pulse signals φ_c are applied to the gates of the thin film transistors 11c via the 13c of the signal switching gate wirings 13. Accordingly, the pulse signals V_s applied to the sources of the thin film transistors 11 via the image signal input wirings 12 are applied to the sources of the thin film transistors 6c via the thin film transistors 11c and the source wirings 8c. Thus, the drain voltages of the thin film transistors 6c become a predetermined set voltage. Thus, the display of the first horizontal operation line is completed.

Then, at time t_4 , a pulse signal φ_{G2} is applied to the gate of each thin film transistor 6 via the 7 of the gate wirings 7. Pulse signals φ_A , φ_B , and φ_C are sequentially applied to the gates of the thin film transistors 11a, 11b, and 11c via the 13a, 13b, and 13c of the signal switching gate wirings 13, as described above. Accordingly, the pulse signals V_s applied to the sources of the respective thin film transistors 11 via the image signal input wirings 12 are sequentially applied, at time t_4 , t_5 , and t_6 , as at time t_1 , t_2 , and t_3 , to the sources of the thin film transistors 6a, 6b, and 6c via the thin film transistors 11a and the source wirings 8a. Thus, the drain voltages of the thin

film transistors $6a_1$, $6b_2$, and $6c_2$ sequentially become predetermined set voltages. Thus, the display of the second horizontal operation line is completed.

Then, the above-described operations are sequentially repeated. Thus, the drain voltages of the thin film transistors $6a_n$, $6b_n$, and $6c_n$ of the n-th horizontal operation line sequentially become predetermined set voltages. Thus, the scanning for one screen is completed. The pixels for displaying signals are selected so as to display an image.

Fig. 3 shows the configuration of another embodiment of the present invention. Parts having the same reference numerals in Fig. 3 and Fig. 1 are the same. In the above described embodiment, all of the terminals Vs_1 , Vs_2 , Vs_3 , Vs_4 , ... of the image signal input wirings 12 are arranged on the upper side of the image display region 10. On the other hand, in this embodiment, for example, the odd-numbered terminals Vs_1 , Vs_3 , ... of the image signal input wirings 12 are disposed on the upper side of the image display region 10. The even-numbered terminals Vs_2 , Vs_4 , ... of the image signal input wirings 12 are arranged on the lower side of the image display region 10. The operation of the active matrix substrate of this embodiment is the same as that in the first embodiment.

In the above embodiments, the present invention is

described using a liquid crystal as a displaying means as an example. The displaying means of the present invention is not restricted to the liquid crystal. A displaying means using EL may be used. Also, an optical shutter using PLZT may be used. By employing a configuration in which, while a constant voltage is being applied to the source wirings of photoconductive films provided instead of the liquid crystals, changes in current flowing through the source wirings are detected, the present invention can be applied to an image-pick device.

(Advantages)

As described above, according to the present invention, it is unnecessary to form a complicated shift resistor in a liquid crystal display device or a display device using another material, even if the number of pixels is increased for the enhancement of the resolution. Thus, the mounting on a flexible print substrate can be easily carried out. In addition, the number of wirings connected to an external circuit can be decreased to one third or smaller of the number of a conventional device. Moreover, the wiring pitch can be increased to three to six times of the pitch of the convention device. Thus, advantageously, the yield can be considerably enhanced, and the manufacturing cost can be reduced.